

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 2 月 17 日 (17.02.2005)

PCT

(10) 国際公開番号  
WO 2005/015528 A1

- (51) 国際特許分類<sup>7</sup>: G09G 3/28, 3/20
- (21) 国際出願番号: PCT/JP2004/011504
- (22) 国際出願日: 2004 年 8 月 4 日 (04.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-289012 2003 年 8 月 7 日 (07.08.2003) JP  
特願2004-156409 2004 年 5 月 26 日 (26.05.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大  
字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 和人

(TANAKA, Kazuhito). 丹羽 彰夫 (NIWA, Akio). 笠  
原 光弘 (KASAHARA, Mitsuhiro). 益盛 忠行 (MA-  
SUMORI, Tadayuki). 清家 守 (SEIKE, Mamoru).

(74) 代理人: 福島 祥人 (FUKUSHIMA, Yoshito); 〒5640052  
大阪府吹田市広芝町 4 番 1 号江坂・ミタカビル 6 階  
Osaka (JP).

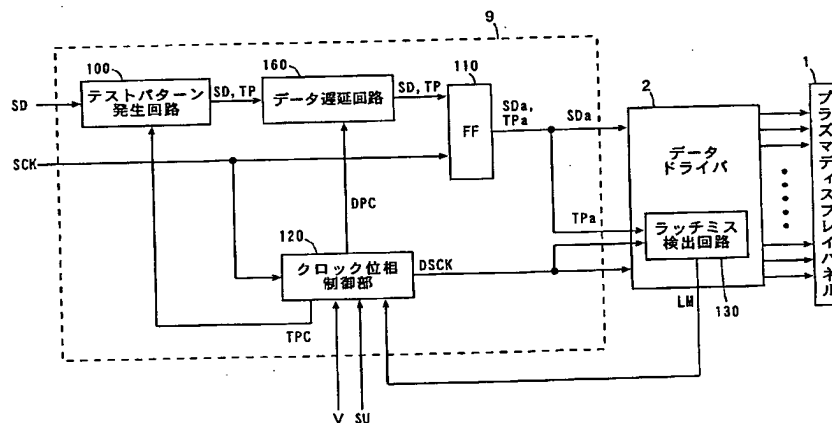
(81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



100...TEST PATTERN GENERATION CIRCUIT  
160...DATA DELAY CIRCUIT  
120...CLOCK PHASE CONTROL SECTION  
2...DATA DRIVER  
130...LATCH MISS DETECTION CIRCUIT  
1...PLASMA DISPLAY PANEL

(57) Abstract: A test pattern generation circuit (100) outputs a test pattern (TP) during a clock phase adjustment period. A flip-flop circuit (110) latches the test pattern (TP) at the fall of a shift clock (SCK) and outputs it as a test pattern (TPa). A latch miss detection circuit (130) outputs a latch miss detection signal (LM) indicating presence/absence of a latch miss generation according to the test pattern (TPa) and a delay shift clock (DSCK). A clock phase control section (120) delays the shift clock (SCK) according to the latch miss detection signal (LM), thereby outputting a delay shift clock (DSCK).

[続葉有]



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,  
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,  
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

(57) 要約:

テストパターン発生回路(100)は、クロック位相調整期間において、テストパターン(TP)を出力する。フリップフロップ回路(110)は、シフトクロック(SCK)の立ち下がりでテストパターン(TP)をラッチし、テストパターン(TPa)として出力する。ラッチミス検出回路(130)は、テストパターン(TPa)および遅延シフトクロック(DSCK)に基づいてラッチミス発生の有無を示すラッチミス検出信号(LM)を出力する。クロック位相制御部(120)は、ラッチミス検出信号(LM)に基づいてシフトクロック(SCK)を遅延させることにより遅延シフトクロック(DSCK)を出力する。